

# Design and Realization of Low-Pass Filter with the Adjustment of Stop Frequency Based on FPGA

SHI Wei<sup>1</sup>, SONG Yue<sup>2</sup>, XIANG Yuanhui<sup>3</sup>

1. College of Electronic and Information engineer, Hunan University of Technology, Zhuzhou, China

2. College of Electronic Engineering; Dongguan University of Technology, Dongguan, China

3. College of Physical, Hunan University of Science and Technology, Zhuzhou, China

e-mail: sw6307@163.com; eda815@163.com

**Abstract:** According to the principium of signal sampling, A Low-pass Filter was designed based on FPGA. The attenuation of stop frequency is 30dB, the range of pass frequency is from 1KHz to 20KHz with 1KHz pace; the gain range of amplitude is from 0 to 40dB with 10dB pace, the result of experiment showed the design was feasible.

**Key words:** low-pass filter; stop frequency; pace; FPGA

## 基于 FPGA 的截止频率可调的低通滤波器的设计与实现

石伟<sup>1</sup>, 宋跃<sup>2</sup>, 向远辉<sup>3</sup>

1. 湖南工业大学电气与信息工程学院, 株洲, 中国, 412008

2. 东莞理工学院电子工程学院, 东莞, 中国, 523808

3. 湖南工业大学理学院, 株洲, 中国, 412008

e-mail: sw6307@163.com; eda815@163.com

**摘要:** 依据信号采样基本原理, 设计了一个基于 FPGA 的低通滤波器。该滤波器在阻带截止频率处衰减大于 30dB; 通带截止频率范围为 1KHz 到 20KHz, 并可实现 1KHz 步进可调; 信号幅度增益可在 0 到 40dB 内实现 10dB 步进可调, 通过实验证明该设计方案是行之有效的。

**关键词:** 低通滤波器; 截止频率; 步进; FPGA

### 1 引言

数字滤波器设计方法有 FIR 和 IIR 两种。其中 FIR 滤波器具有精确的线性相位特性, 在数字图像处理方面应用极为广泛, 但是对于相同的设计指标, FIR 滤波器所要求的阶数比 IIR 滤波器高出很多倍, 从而需要较多的存储单元<sup>[1,2]</sup>。而基于 FPGA 的 IIR 滤波器设计灵活, 可根据用户的需要设计不同风格的滤波器, 从而有较强的应用价值。

### 2 数字滤波器系统函数 H(Z) 的设计

本系统的设计指标为: 通带波纹  $R_p$  不大于 1dB, 阻带衰减  $A_s$  不小于 30dB, 通带边缘频率  $W_p=0.05\pi$ , 阻带边缘频率  $W_s=0.25\pi$ 。根据  $W_p$ ,  $W_s$ ,  $R_p$ ,  $A_s$  并利用 Matlab 软件中的 buttord 函数可得滤波器的阶次  $N=3$  和截止频率  $W_n=0.05\pi$ , 然后根据  $N$ ,  $W_n$ ,  $R_p$ ,  $A_s$  并利用 butter 函数可求得传递函数<sup>[3]</sup>。

由逆 Z 变换可得时域递归差分方程

$$y(n)=b_0x(n)+b_1x(n-1)+b_2x(n-2)+b_3x(n-3)-a_1y(n-1)-a_2y(n-2)-a_3y(n-3)。$$

其中

$$b_0-3=[0.0006,0.0018,0.0018,0.0006], a_1-3=[-2.6444,2.3493,-0.7001]$$

### 3 滤波器模块 VHDL 代码

由于递归差分方程的系数非常小, 并且 FPGA 不能处理浮点数, 所以为减小量化误差, 要对各系数进行适度放大 (通常是 2L 倍) 并取整。显然量化误差的大小与放大倍数成反比, 但放大倍数过大则会占用 FPGA 大量的资源, 所以如何根据实际情况正确处理这一矛盾是设计成功的关键。同时输入数据  $x(n)$  太小时也会造成较大的量化误差, 所以也应该进行 2M 倍放大, 这样得到的输出则放大了  $2L+M$  倍, 所以在输出时要截去低  $(L+M)$  位, 以便实现信号的真实复原<sup>[4-6]</sup>。在本系统中  $L=12$ ,  $M=8$ 。所以上式中  $b_0-3=[2,7,7,2]$ ,  $a_1-3=[-10832,9623,-2868]$ , 同时输入  $x(n)$  和各系数都是有符号

数, 分别采用 10 位和 15 位数据宽度进行量化处理, 累加结果放在了 34 位变量 Y 中, 以防止溢出。具体实现核心代码如下:

```
entity LP is
    port(clk:in std_logic;          工作时钟
         data:in std_logic_vector(9 downto 0);  输入数据
         yout:out std_logic_vector(9 downto 0));  输出数据
end LP;
architecture behave of LP is
    constant b0,b1,b2,b3,:std_logic_vector(14 downto
0):=conv_std_logic_vector([2,7,7,2],15);
    constant a1,a2,a3:std_logic_vector(14 downto
0):=conv_std_logic_vector([-10832,9623,-2868],15);
    signal youtp: std_logic_vector(9 downto 0);
    begin
        process(clk)
            variable x0, x1,x2,x3,y1,y2,y3 :std_logic_vector(18
downto 0):=(others=>'0');
            variable y :std_logic_vector(33 downto
0):=(others=>'0');
            variable b :std_logic_vector(7 downto
0):=(others=>'0');
            begin
                if(clk'event and clk ='1') then
                    y:=b0*x0+b1*x1+b2*x2+b3*x3-a1*y1-a2*y2-a3*y3;
                    x3:=x2;x2:=x1;x1:=x0;
```

$$H(Z) = \frac{0.0006 + 0.0018 Z^{-1} + 0.0018 Z^{-2} + 0.0006 Z^{-3}}{1 - 2.6444 Z^{-1} + 2.3493 Z^{-2} - 0.7001 Z^{-3}}$$

```

x0:=data(9)&data&b;  输入数据放大 28 倍 y3:=y2;
y2:=y1;y1:=y(30 downto 12);
youtp<=y(30 downto 21);  截断低 L+M 位
yout<=youtp;          过渡句, 消除尖峰
end if;
end process;
end behave;
```

#### 4 截止频率和幅度可调的实现

要实现滤波器截止频率可调, 通常是将 H(z)的系数改变, 但不同的系数对程序的截取有不同的要求, 所以在编写滤波程序时很不方便, 这给系统的实现带来困难。通过对采样定理的分析可知: 连续时间信号取样后, 其频谱将以抽样频率  $F_s$  为周期进行延拓, 采样信号在数字频域中以  $2\pi$  为周期, 同时模拟频率  $\Omega$  和数字频率  $\omega$  满足如下关系:  $\omega = T\Omega$  [5,7,8], 其中  $F=1/T$  为系统采样频率。显然只要改变采样频率 F, 对不同的模拟频率  $\Omega$  就可以得到相同的数字频率  $\omega$ , 所以只要设计一个固定的数字低通滤波器和一个可调的分频器, 即将滤波器的系数固定不变, 而改变 A/D 采样频率, 也可实现对不同频率信号进行滤除。显然, 在 FPGA 内部要实现采样频率的改变是非常容易的。具体分频系数如表 1 所示。当然在具体分频时一定要保证模拟信号在一个同期

Table 1. Experimental data  
表 1. 实验数据

采样频率	分频系数	截止频率	实测截止频率	2 倍截止频率衰减	采样频率	分频系数	截止频率	实测截止频率	2 倍截止频率衰减
50	4000	1	1.001	0.006	100	2000	2	2.002	0.005
150	1333	3	3.016	0.009	200	1000	4	4.003	0.006
250	800	5	5.007	0.008	300	667	6	5.961	0.008
350	571	7	7.042	0.007	400	500	8	8.009	0.006
450	444	9	9.044	0.008	500	400	10	10.015	0.006
550	364	11	10.956	0.008	600	333	12	12.054	0.009
650	308	13	13.047	0.009	700	286	14	13.949	0.007
750	267	15	14.921	0.007	800	250	16	16.015	0.006
850	235	17	17.085	0.008	900	222	18	18.075	0.008
950	211	19	18.910	0.008	1000	200	20	20.016	0.006

内有足够的采样点数。

为了实现输出信号幅度增益达 40dB 且以 10dB 步进可调, 我们采用 TL084 构成两级放大电路。该方案增

益为  $A=1+R_f/R_i$ , 其中  $R_f$  的阻值固定为 51K,  $R_i$  则由 Nios II 控制继电器断合选定, 从而实现增益 10dB 步进可调。整体方框图如图 1 所示。

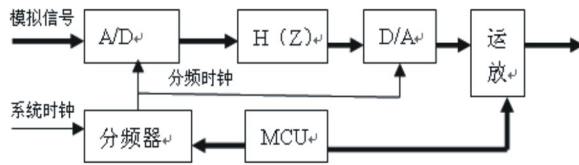


Figure 1. Overall block diagram  
图 1. 整体方框图

## 5 实验测试

本系统中 FPGA 的系统工作频率为 50MHz，固定滤波器通带截止频率  $W_p=0.05\pi$ 。因为在分频时有小数出现，所以为了提高截止频率的准确度，先利用 PLL 将工作时钟频率倍频到 200MHz 后再进行分频。FPGA 芯片是 EP1C6Q240C8，D/A 和 A/D 芯片分别为 AD876 和 THS565。测试时输入信号为正弦波，其幅度为 1V，频率为 1KHz 到 20KHz 且以 1KHz 步进可调，输入信号经系统滤波后用 UT56 型标准数字万用表和 GDS-820S 双踪数字示波器进行检测，所得采样频率、分频系数和截止频率关系(频率单位：KHz；2 倍  $f_c$  衰减：相对于直流点的比)如表 1 所示。显然表 1 中设定的截止频率与实际测量截止频率的相对误差非常小，但在分频系数不为整数时误差明显增加，这是量化误差的体现。但不管截止频率如何，在 2 倍截止频率处的衰减都接大于 30dB，其滤波效果与理论设计要求基本一致。

## 6 结语

基于 FPGA 设计数字滤波器较采用专用 DSP 芯片更为灵活，因为滤波器的截止频率点可以任意设定，且误差非常小；同时滤波器的类型和衰减倍数可根据实际需要进行选择，只要将传递函数的系数进行修改即可，

与外围电路无关。另外在处理时只要数据宽度选择合适，可将量化误差和截断误差限制在一定范围内，同时还可兼顾速度的需求，所以采用 FPGA 来设计滤波器具有较高的性价比。

## References (参考文献)

- [1] Pan yong cai, Wang zi xu, Design of FIR Digital Filter Based on MATLAB[J]. Semiconductor Technology, 2001, 26(8): 52-54. 潘永才, 王子旭等. 数字 FIR 滤波器的 Matlab 设计[J], 半导体技术, 2001, 26(8): 52-54.
- [2] Ni xiangdong. Design of the Fourth-order IIR Digital Filter Based on FPGA[J]. Application of Electronic Technique, 2003 (12): 64-67. 倪向东. 基于 FPGA 的四阶 IIR 数字滤波器[J]. 电子技术应用, 2003(12): 64-67.
- [3] Shi yun xia, Zhang zhi wei, Fanqiu hua. Design of IIR Digital Filter Based on MATLAB[J]. Journal of Hunan Institute of Engineering, 2004, 14(3): 8-10. 石云霞, 张志伟, 范秋华. Matlab 的 IIR 数字滤波器的设计[J]. 湖南工程学院学报, 2004, 14(3): 8-10.
- [4] Tong wei li. Design of IIR Digital Filter Based on FPGA[J]. Electronic Component & Device Applications, 2007, 9(5): 36-40. 童位理. 基于 FPGA 的 IIR 数字滤波器的快捷设计[J]. 电子元器件应用, 2007, 9(5): 36-40.
- [5] Ding yu mei, Gao xi quan. Implementation of digital signal processing[M], Xi An: Xi Dian University Press, 2000. 丁玉美, 高西全. 数字信号处理[M]. 西安: 西安电子科技大学出版社, 2000.
- [6] Chu zhen yong, Weng mu yun. Design and application of FPGA[M]. XiAn: Xi Dian University Press, 2002. 褚振勇, 翁木云. FPGA 设计及应用[M]. 西安: 西安电子科技大学出版社, 2002.
- [7] Liu ling, Hu yong sheng. Implementation of digital signal processing with FPGA[M]. Beijing: Tsinghua University Press, 2003. 刘凌, 胡永生译. 数字信号处理的 FPGA 实现[M]. 北京: 清华大学出版社. 2003.
- [8] Peng Hong ping, Yang Fu bao. Design of FIR Digital Filter Based on Matlab[J]. Journal of Wuhan Automotive Polytechnic University, 2005, 27(5): 275-278. 彭红平, 杨福宝. 基于 Matlab 的 FIR 数字滤波器设计[J]. 武汉, 理工大学学报, 2005, 27(5): 275-278.