

Based on the LPC Bus POST80 LED Hardware and Logic Design

YU Hongmei, LI Hong, CHEN Shaoyong, ZHANG Gang

Wuhan Ordnance N.C.O. Academy, Wuhan, China

Abstract: In this article, the methods of the hardware and Logic Program design and the simulation result is introduced in detail based on the LPC bus POST80 LED, and combined with the frame structure of LPC bus, the state machine design is Described in detail. Now the design has been successfully implemented in high-performance embedded industrial computer platform.

Keywords: LPC bus; POST80; state machine

基于LPC总线的POST80 LED 硬件和逻辑设计

余红梅, 李 紘, 陈绍勇, 张 刚

武汉军械士官学校, 武汉, 中国, 430075

摘 要: 介绍了基于 LPC 总线的 POST80 LED 的硬件和逻辑程序设计方法及仿真结果, 并且结合 LPC 总线的帧结构, 详细讲解了逻辑程序状态机设计。该设计成功的应用于高性能的嵌入式工业计算机平台。

关键词: LPC 总线; POST80; 状态机

1 引言

计算机在每次上电启动时, BIOS 都会对系统的电路、存储器、键盘、视频部分、硬盘、软驱等各个组件进行严格测试, 并分析系统配置, 对已配置的基本 I/O 设置进行初始化, 一切正常后, 再引导操作系统。其显著特点是以是否出现光标为分界线, 先对关键性部件进行测试。关键性部件发生故障强制机器转入停机, 显示器无光标, 则屏幕无任何反应。然后, 对非关键性部件进行测试, 如有故障机器也继续运行, 同时显示器显示出错信息, 当机器出现故障, 尤其是出现关键性故障, 屏幕上无显示时, 可以根据 POST80(Power on self test 80 代表地址) LED 上显示的代码(表示的故障原因和部位), 就可清楚地知道故障所在。当然, 区别于 ISA、PCI 总线 POST80 LED 显示。LPC 总线 POST80 LED 显示在系统主板无 ISA、PCI 总线, 或者主板的结构不宜于出 ISA 或 PCI 插槽时尤为适用。

2 LPC总线简介

LPC (Low Pin Count) 是基于 Intel 标准的 33 MHz 4 bit 并行总线协议, 代替以前的 ISA 总线协议, 取代低速落后的 X-BUS 而推出的总线标准。

LPC 既然是低引脚数, 表示其所用的引脚很少, 而且总线的频率为 33 MHz, 不像 ISA 引脚多, 插槽又大, 总线频率只有 8 MHz。

2.1 LPC bus的目标

- 1) 取代 ISA bus 或 X-BUS;
- 2) 降低传统 X-BUS 成本;
- 3) 只用于主板上;
- 4) 达到 X-BUS 的传输速率;
- 5) 与 X-BUS 有相同的时序, 即 Memory、I/O、DMA 和 Bus Master;
- 6) 增加 X-BUS 的寻址能力从 16 MB 提升到 4 GB, 让 BIOS 的规模更大, 超过 1 MB。
- 7) 和 ISA 存取同步的设计;
- 8) 无需特殊的驱动程序和配置来设置该接口, BIOS 会配置好所有的 LPC 外设。

2.2 LPC引脚定义(见表1、2)

表 1. 必须的引脚

Signal	Peripheral	Host	Description
LAD[3:0]	I/O	I/O	命令、数据、地址复用
LFRAME#	I	O	一个新的 Cycle 开始
LRESET#	I	I	复位信号
LCLK	I	I	LPC 的随路时钟

表 2. 可选的引脚

Signal	Peripheral	Host	Description
LDRQ#	O	I	DMA/Bus Master 要求
SERIRQ	I/O	I/O	串行 IRQ
CLKRUN#	OD	I/OD	Clock Run. 可以把 Clock 停止. 可更省电
LPME#	OD	I/OD	电源管理用
LPCPD#	I	O	Power Down
LSMI#	OD	I	产生 SMI

2.3 LPC Bus Host写帧格式

由于 CPLD 只需读出 Host 写入的数据, 限于篇幅, 在本文中仅列举了 Host I/O 写的数据帧格式, 主机传地址和数据时, 遵循先高位, 后低位的原则, 如图 1 所示。

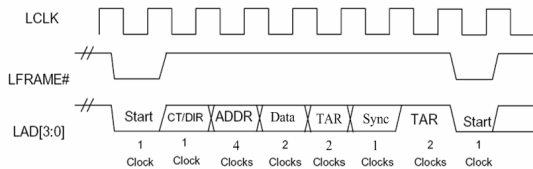


图 1. 数据帧格式

2.4 POST80 LED 硬件设计

POST80 LED 显示电路是由可编程逻辑器件和驱动芯片及其共阴极高亮度数码管组成, 如图 2 所示。

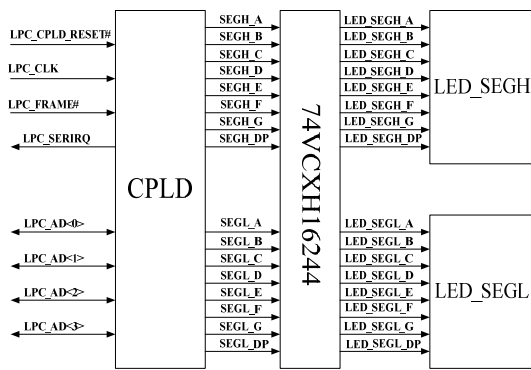


图 2. POST80 LED 显示电路

CPLD 通过 LPC 总线接口, 接收南桥芯片向地址 80h 端口写入的数据帧, 通过解析 LPC 的帧结构, 将需要显示的数据通过驱动器下发给数码管显示。通过数码管显示的数据, 我们就能够知道 BIOS 正在做什么样的上电测试工作, 当数码管的数据停留在某一个故障数值时, 通过这个数值, 我们就可以判断故障的原因。

2.5 逻辑状态机的设计分析

LPC Host I/O 写时, 逻辑状态机的设计如图 3 所示。

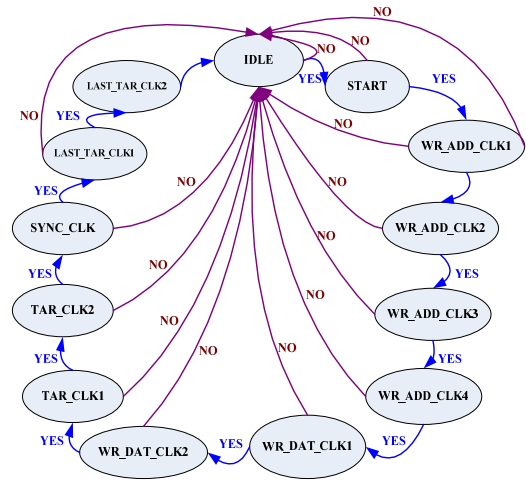


图 3. 逻辑状态机的设计

其中 YES 代表条件满足进入下一个状态, NO 为条件不满足, 进入 IDLE 状态。

2.6 状态转移的判断条件

IDLE:

如果复位信号有效, 进入 IDLE, LED 默认显示为 00。DP 点在程序中始终设置不亮。如果 LPC_FRAME#等于 1'b0, 且 LPC_AD<3:0>等于 4'h0 时, 进入 START 状态, 其它仍为 IDLE 状态。

START:

如果 LPC_FRAME#等于 1'b0, 且 LPC_AD<3:0>不等于 4'h0 时, 进入 IDLE 状态。其它当 LPC_AD<3:0>等于 4'h2 时 (Host 为 I/O 写), 进入 WR_ADDR_CLK1 状态, 其它为进入 IDLE 状态。

WR_ADDR_CLK1:

如果 LPC_FRAME# 等于 1'b0 或者 LPC_AD<3:0>不等于 4'h0 (AD<15:12>段地址) 进入 IDLE 状态, 其它进入 WR_ADDR_CLK2 状态。

WR_ADDR_CLK2:

如果 LPC_FRAME# 等于 1'b0 或者 LPC_AD<3:0>不等于 4'h0 (AD<11:8>段地址) 进入 IDLE 状态, 其它进入 WR_ADDR_CLK3 状态。

WR_ADDR_CLK3:

如果 LPC_FRAME# 等于 1'b0 或者 LPC_AD<3:0>不等于 4'h8 (AD<7:4>段地址) 进入 IDLE 状态, 其它进入 WR_ADDR_CLK4 状态。

WR_ADDR_LCLK4:

如果 LPC_FRAME# 等于 1'b0 或者 LPC_AD<3:0>不等于 4'h0 (AD<3:0>段地址) 进入 IDLE 状态, 其它进入 WR_DATA_CLK1 状态。此时已经接收到了 Host 向 80h 端口写入的地址信息。准备接受数据。

WR_DATA_CLK1:

如果 LPC_FRAME# 等于 1'b0, 进入 IDLE 状态。其它, 将接收的数据保存为 Data<7: 4>, 同时输出给 LED 显示, 并且进入 WR_DATA_CLK2 状态。

WR_DATA_CLK2:

如果 LPC_FRAME# 等于 1'b0, 进入 IDLE 状态。其它, 将接收的数据保存为 Data<3: 0>, 同时输出给 LED 显示, 并且进入 TAR_CLK1 状态。

TAR_CLK1:

如果 LPC_FRAME# 等于 1'b0, 进入 IDLE 状态。

其它, 进入 TAR_CLK2 状态。

TAR_CLK2:

如果 LPC_FRAME# 等于 1'b0, 进入 IDLE 状态。其它, 进入 WR_SYNC 状态。

WR_SYNC:

如果 LPC_FRAME# 等于 1'b0, 进入 IDLE 状态。其它, 进入 LAST_TAR_CLK1 状态。

LAST_TAR_CLK1:

如果 LPC_FRAME# 等于 1'b0, 进入 IDLE 状态。其它, 进入 LAST_TAR_CLK2 状态。

TAR_CLK2:

进入 IDLE 状态。

3 仿真结果分析

仿真结果图如图 4 所示

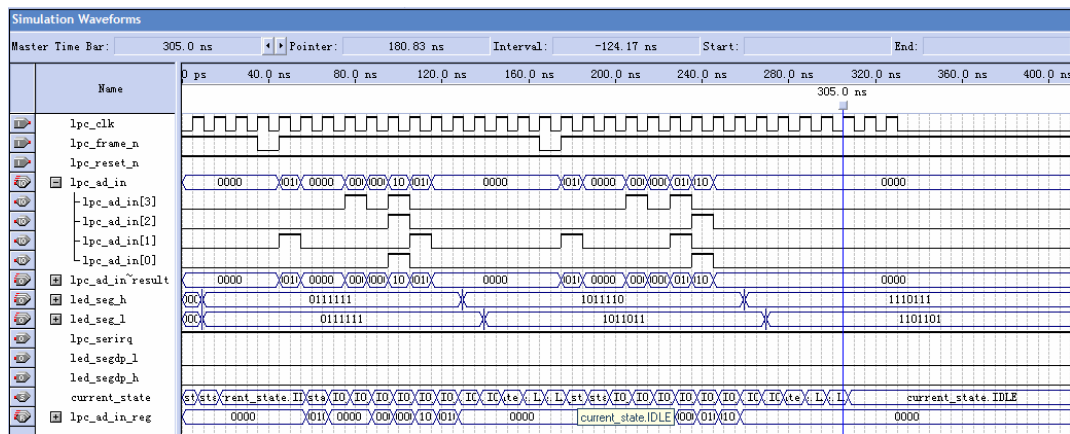


图 4. 仿真结果图

从仿真结果图见图 4 中可见, 完成 Host I/O 写, 一帧数据传输需要时钟周期为 13 个, 与前面讲述的 LPC Bus Host 写 帧格式相符。在仿真图中, 给出了 Host I/O 连续写 2 帧数据情况, 状态机的指示正确。通过 CPLD 解析 2 帧数据的结果, 第一帧数据将 2 个数码管的引脚分别置为 1011110 和 1011011, 数码管显示为 D2, 第二帧数据将 2 个数码管的引脚分别置为 1110111 和 1101101, 数码管显示为 A5。显

示的结果同实际应用相符。

References (参考文献)

- [1] Intel Low Pin Count (LPC) Interface Specification Revision 1.1 . August ,2002.
- [2] 夏宇闻.从算法设计到硬件逻辑的实现【M】.北京: 高等教育出版社, 2007
- [3] 刘建清. 从零开始学 CPLD 和 Verilog HDL 编程技术. 北京: 国防工业出版社,2006.