Design of Several Important Peripheral Circuits of SRAM Based on 9T SRAM Cell

ZHAO Huizhuo
School of Astronautics, Harbin Institute of Technology, Harbin, China
e-mail: ihuangrong@126.com

Abstract: Read stability issue is becoming more and more concerned in accordance with rapid development of CMOS IC fabrication technology. A new nine transistor 9T SRAM cell with enhanced stability during a read operation and reduced power consumption is proposed recently. To put it into practical an SRAM based on the 9T cell need to be built. This paper designs three peripheral circuits that are needed in the building process, including row-selecting circuit suitable for the dual control signal character of 9T SRAM cell, simplified writing circuit that can effectively pull down the bit-lines and choose which to pull with only three N-type transistors and power-reduced sense amplifier with its switch transistor controlled by the logic 'and' result of one external and two internal signals that can shut down the circuit when there is enough voltage difference between outputs.

Keywords: microelectronics and solid state electronics; peripheral circuit; digital circuit design; power-reduced sense amplifier; row-selecting circuit

以 9 管存储单元为核心的存储器的部分外围电路设计

赵慧卓
哈尔滨工业大学 航天学院，哈尔滨，中国，150001
e-mail: ihuangrong@126.com

【摘　要】鉴于工艺尺寸的不断缩小给传统 6 管存储单元的读稳定性带来的巨大挑战，业界提出了一种新型的可以在大幅度提高读稳定性的同时降低静态功耗的 9 管存储单元。本文对以该 9 管存储单元为核心构建的 SRAM 的部分外围电路进行了设计。包括专门适应 9 管存储单元双控制信号特性的行选择电路；仅应用三个 N 型晶体管解决了写操作中位线下拉及列选择问题的写驱动电路；以读信号及锁存电路的两个差分节点的逻辑与结果作为开关管的控制信号，在放大电路产生足够电压差之后关断开关管的低功耗灵敏放大电路。

【关键词】微电子与固体电子；外围电路；数字电路设计；低功耗灵敏放大电路；行选择电路

1 引言

伴随着工艺尺寸的缩小，阈值电压及电源电压不断降低，给存储单元的读稳定性带来很大挑战。传统 6 管存储单元由于读过程中存取晶体管开启，存取晶体管与交叉耦合反相器的分压令存储节点的电压被提升，使存储节点非常容易被噪声干扰[1]。应用如图 1 所示 9 管存储单元[2]，在读周期中关闭字线，将位线与存储节点隔离开，有效的提高了单元的读稳定性。由于此种单元结构与 6 管存储单元不同的读操作原理使其不需考虑读过程中的尺寸约束而可以将晶体管尺寸设的较小，从而在静态功耗上也得到了降低。但同时 9 管存储单元增加了一个控制信号，因此在外围电路的设计中也要将其考虑在内。130nm 工艺下 9 管存储单元的尺寸如表 1。

文章第二部分 2.1 设计了适应于 9 管存储单元的行选择电路。2.2 设计了结构简化的写驱动电路。2.3 设计了低功耗灵敏放大电路并对功能及性能进行了仿真验证。

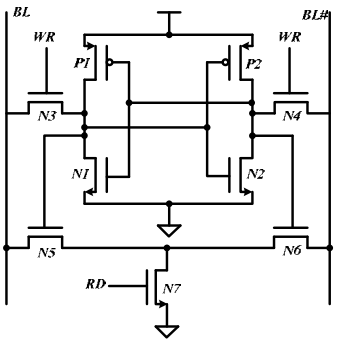

Figure 1. Structure of nine transistor SRAM cell
图 1. 管存储单元结构

978-1-935068-06-8 © 2009 SciRes.

Table 1. Transistor size of 9T cell
表 1. 管存储单元晶体管尺寸

	N1	N2	N3	N4	N5	N6	N7	P1	P2
W/nm	130	130	130	130	130	130	260	130	130
L/nm	130	130	130	130	130	130	130	130	130

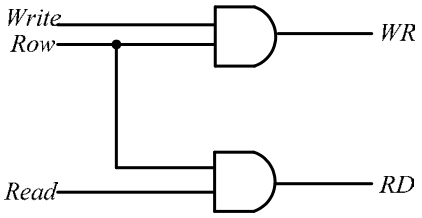

Figure 2. Row-selecting circuit
图 2. 行选择电路

2 SRAM 外围电路设计

2.1 列选择电路设计

对于传统的 6 管存储单元，读写过程中只须字线一个信号控制，读写周期中字线均为高电平。因此译码线可直接与字线相连以达到选择当前行的目的。而在新型的 9 管存储单元中，用到了 WR 和 RD 两个控制信号。在写周期中，WR 信号为高电平，RD 信号为低电平，在读周期中，WR 信号为低电平，RD 信号为高电平。而不进行读写操作的行的 WR 信号和 RD 信号均为低电平。这些时序上的要求使得译码线无法直接控制选择需要被读写的行[3]。这也是超 6 管存储单元普遍遇到的问题。

针对这种情况，本文设计了一个行选择电路，可以正确的用译码输出结果和读写信号控制 WR 和 RD 信号达到需要的电平。行选择电路结构如图 2。

图中 Row 为地址输入的译码结果，高电平代表此行需要被选中。 Read 为读信号，其为高电平时代表此时进行读操作。Write 为写信号，其为高电平时代表此时进行写操作。

写周期中，Write 信号为高电平，Read 信号为低电平，需要被选中行的 Row 信号为高电平，则经过与门后 WR 信号为高电平。Read 信号和 Row 信号经过与门后使 RD 信号为低电平。由上述可看出 9 管存储单元的两个控制信号获得了进行正确的写操作所需要的电平。而不需要被选中行的 Row 信号为低电平，这使得经过逻辑与后的输出均为低电平，即 WR 信号和 RD 信号均为低电平，则未被选中行不进行任何操作。

读周期中，Read 信号为高电平，Write 信号为低电平。需要被选中的行的 Row 信号为高电平，则经过与门后使 RD 信号为高电平。而 Write 信号连入与门使 WR 信号变为低电平，由上述可看出 9 管存储单元的两个控制信号获得了进行正确的读操作所需要的电平。同样由于不需要被选中行的 Row 信号为低电平，使得经过逻辑与后的输出均为低电平，即 WR 信号和 RD 信号均为低电平，则未被选中行不进行任何操作。

由此看出，通过本行选择电路设计，实现了对由 9 管存储单元组成的存储阵列的行的正确选择以及对存储单元的控制信号的正确逻辑的获得。

2.2 结构简化的写驱动电路设计

为了对存储单元进行正确的写操作，需要在写周期将被写入的列的其中一条位线下拉至低电平[4]。本文提出一种结构简化的写驱动电路，如图 3 所示，结构中只应用了 3 个 N 型晶体管。WD 信号由写控制信号与列译码信号的逻辑与结果控制，保证了只有在写周期开始后且被选中的列的 WD 信号才为高电平。差分的输入 Data 及 Data#中为高电平的信号使对应的晶体管开启，这样就在其中一条位线与地之间形成了通路，该条位线即被拉至低电平。

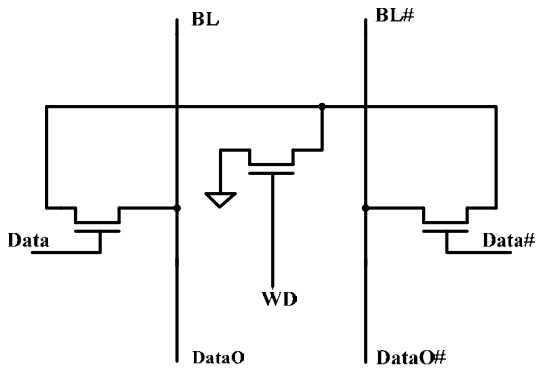

Figure 3. Writing circuit
图 3. 写驱动电路

由于只有被选中的列的 WD 信号为高电平，其他列的 WD 信号均为低电平，因此未被选中的列的位线没有放电通路而一直维持在预充电压。因此本结构除

了具有写驱动的功能，同时具有列选择的功能。

该电路的尺寸设计中既要考虑晶体管的下拉能力也要考虑适当减少功耗，具体尺寸确定如表 2 所示。

Table 2. Transistor size of writing circuit
表 2. 写驱动电路晶体管尺寸

	N1	N2	N3
W/nm	260	520	260
L/nm	130	130	130

2.3 低功耗灵敏放大电路设计

SRAM 设计中为了提高读取速度，降低功耗，均需采用高灵敏度的放大电路来放大位线对上的微小电压差[5]。读操作开始后，位线通过放电形成一定的电压差，当位线的电压差达到一定的摆幅时，即启动灵敏放大电路，将位线上的小摆幅电压差迅速放大，并将放大后的电压差输送到数据输出端口[6]。

本文提出一种改进的差分锁存灵敏放大结构。该结构输入与输出分开，降低了位线摆幅；提供了均压管，防止放大电路失衡；加入开关管 N1，在不进行读操作时将放大电路关闭，开关管的控制端加入一个三输入与门以实现对开关管 N1 的提前关断，节省了功耗。灵敏放大电路如图 4。

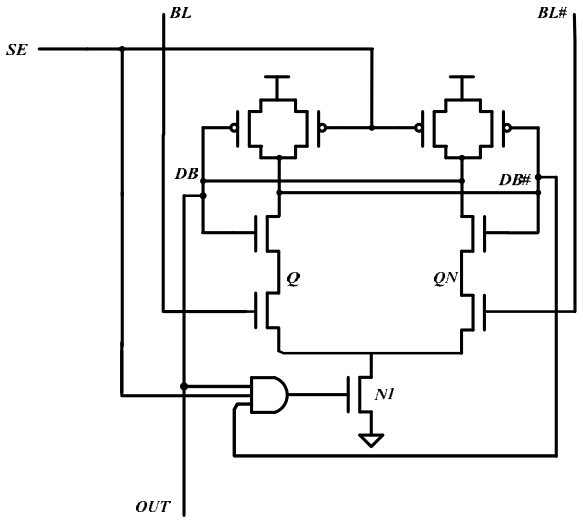

Figure 4. Sense amplifier
图 4. 灵敏放大电路

读周期开始后， BL 与 BL#形成一定的差模电压差，在 Q 与 QN 点亦会形成一定的电压差。再经过一级共栅放大使 DB 与 DB#存在着经过放大后的电势差。因为此时锁存结构正处于其亚稳态工作点，DB 与 DB#的电势差会使交叉耦合的锁存结构迅速脱离这个工作点形成正反馈，将 DB 及 DB#的电压迅速拉至所需要放大的高低电平。

灵敏放大电路的直流功耗很大，为了控制功耗，用信号 SE 控制放大电路工作与否。当放大电路不进行读操作时，SE=0 且充电管将位线对充电至高点平。此时由 SE 控制的两个平衡管导通，将锁存结构均压在亚稳态点。当放大电路进行读操作时，SE=1，开关管 N1 先导通，接着停止对位线对的充电，并开始对放大电路输入的正反馈放大操作。SE 控制信号由读信号与列地址的逻辑与结果产生。这样保证了只有在读周期中且被选中的列的灵敏放大电路才可以开启进行工作，有效的节省了功耗。本灵敏放大电路设计中开关管 N1 的控制信号由 DB、DB#及 SE 信号的逻辑与结果产生，这样在不影响放大电路正常工作的情况下在放大电路的输出端产生足够的电压差时就可以关断开关管，减小了输出线的摆幅及工作时间，有效的降低了功耗。

晶体管尺寸越大则灵敏放大器的放大速度越快，但相应的功耗就会越大，本文将速度与功耗进行了综合考虑，晶体管尺寸确定如表 3。

Table 3. Transistor size of sense amplifier
表 3. 灵敏放大电路晶体管尺寸

	P1	P2	P3	P4	N1	N2	N3	N4	N5
W/nm	130	130	260	260	520	260	260	260	260
L/nm	130	130	130	130	130	130	130	130	130

对该灵敏放大电路进行功能仿真，仿真基于 130nm 工艺，工作电压 1.2V。仿真结果如下图 5 所示。

由图可以看出，当 BL 与 BL#之间在 4ns 开始产生一个微小电压差时，该灵敏放大电路即能将其检测并在很短的时间内放大至足够的电平。图中 VN1 为加在开关管 N1 栅极的电压。SE 信号于 4ns 时到来，放大电路开始工作，在 0.2ns 过后 DB#端的电压降到足够低，通过与门后将 VN1 置为低电平，放大电路停止工作，有效的节省了功耗。

因为工作电流随时都在变化，难于进行比较。因此应用 Hspice 语句测量工作期间的平均电流。读周期设定为 2ns，即用于对比的不加入三输入与门的灵敏放大电路的开关管于读信号有效 2ns 后关闭。仿真结果本论文中采用的改进的灵敏放大电路的平均工作功

978-1-935068-06-8 © 2009 SciRes.

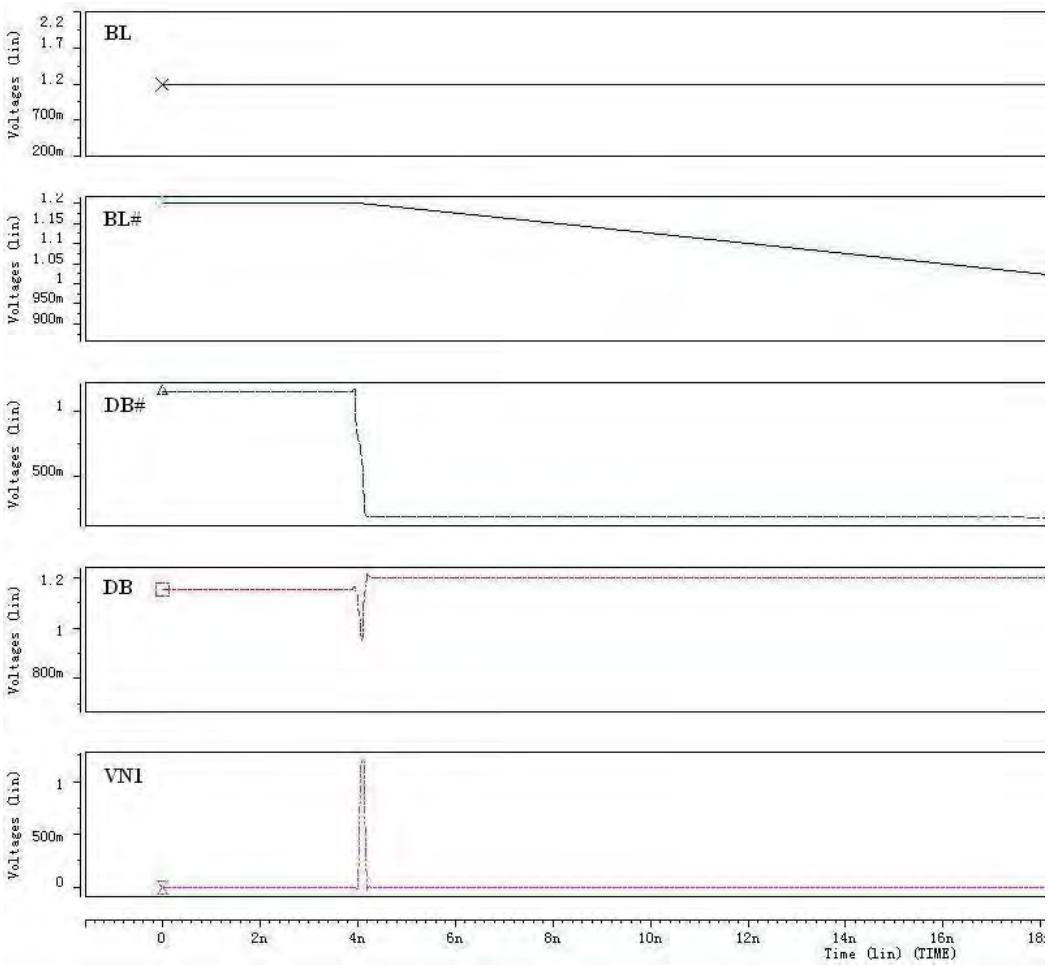

Figure 5. Simulation result of sense amplifier

图 5. 灵敏放大电路仿真结果

耗比不加入三输入与门的放大电路降低了 38%左右。

3 结论

本文提出了存储器设计中三个重要的外围电路的创新设计。专门适用于 9 管存储单元的行选择电路解决了 9 管存储单元双控制信号带来的时序复杂性化问题，其可以另存储器在相应的工作阶段实现对 9 管存储单元的正确控制；结构简化的写驱动电路只应用 3 个 N 型晶体管达成对指定单元的正确的写操作及对需要进行读写的列的选择；低功耗的灵敏放大电路结构中添加与门，用读信号及锁存电路的两个差分节点的逻辑与结果作为开关管的控制信号，在放大电路产生足够电压差之后关断开关管，经仿真知其可降低平均工作功耗 38%左右。

致谢

特别感谢导师肖立伊对我的指导，同时感谢哈尔滨工业大学微电所提供实验相关设施。

Reference (参考文献)

[1] R. Klein. SoC integration challenges[A]. In: Banff. IEEE 4th International Workshop on System-on-Chip for Real-Time Applications[C]. Canada: Alberta, 2004. 3~3

[2] Zhiyu Liu, Volkan Kursun. High Read Stability and Low Leakage Cache Memory Cell[J]. IEEE, 2007: 2774~2777

[3] Chun-Chin Wang et al. A 4-KB 500-MHz 4-T CMOS SRAM Using Low-V_{THN} Bitline Drivers and High-V_{THP} Latches[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2004，12(9)：901~908

[4] Sheng Lin, Yong-Bin Kim, Fabrizio Lombardi. A Low Leakage 9T SRAM Cell for Ultra-Low Power Operation[A]. In: 18th ACM Great Lakes symposium on VLSI[C]. USA: 2008. 123~126

[5] Behzad Razavi. Design of Analog CMOS Integrated Circuits[M]. American: McGraw Hill, 2000. 55~70

[6] K. Itoh. VLSI Memory Chip Design[J]. Springer，2001: 55~164.