

Design of Circuit Parameter Measurement System on Nios II

YUAN Hailin

Hubei Institute for Nationalities, Enshi, China

Abstract: This article studies a new design method of the circuitry parameter measurement system based on SOPC technique. This system realizes the measurement of all the parameters of the measured-Circuit in high precision, by the Nios II soft core CPU and measuring and controlling model configured in FPGA chip to construct hardware platform of the Embedded System, by using the software to control the measure module of the frequency, phase, voltage and current.

Keywords: SOPC; NIOS II; embedded system; MAX195; circuitry parameter measurement

基于 Nios II 的电路参数测量系统的设计

袁海林

湖北民族学院, 恩施, 中国, 445000

摘 要: 研究了一种基于 SOPC 技术的电路参数测量系统的设计方案。该系统通过在 FPGA 芯片上配置 Nios II 软核处理器和测量控制模块来构造嵌入式系统的硬件平台, 并利用软件控制频率、相位、电压和电流等测量模块, 实现了对待测电路各种参数的高精度测量。

关键词: SOPC; NIOS II; 嵌入式系统; MAX195; 电路参数测量仪

1 引言

电路参数的测量广泛应用于国防、科研和生产各个领域。随着对测量精度和智能化程度愈来愈高的要求, 传统的模拟指针式仪表已不能满足要求。本文描述了一个基于 SOPC 技术的智能电路参数测量系统。系统主要检测电路的幅值、相位、频率和功率因数等参数, 并能保存测量数据和用液晶屏实时显示。

SOPC(System On Programmable Chip)技术是 SOC(System On Chip)技术和电子设计自动化技术相结合的一种全新的嵌入式系统设计技术。它将处理器、存储器、I/O 接口、硬件协处理器和普通的用户逻辑等功能模块都集成到一个 FPGA 芯片内, 构建一个可编程的片上系统, 以支持嵌入式系统设计技术的全部功能^[1]。由于系统设计中结合 SOPC 技术, 并采用了高速、高精度的 A/D 转换芯片 MAX195, 使其具有测量精度高、设计灵活、稳定性好等优点。

2 系统构成与工作流程

下面介绍一下系统的硬件结构组成, 如图 1 所示。

本系统选用的 FPGA 芯片是美国 Altera 公司最新推出的 CycloneII 系列的 EP2C35。该芯片具有 35000 个逻辑单元、672 个引脚、475 个用户自定义 I/O 接口、

35 个嵌入式乘法器和 4 个锁相环, 是一个集成度极高和功能强大的 FPGA 芯片^[2]。在 FPGA 内部设计有 NIOS II 软核 CPU 和挂接在该 NIOS II 系统的 Avalon 总线上的 LCD 控制器、FLASH 控制器、片上 RAM 和用于连接测量电路、按键的 PIO 接口。

系统以 FPGA 内部的 NIOS II CPU 为控制核心, 并在 Avalon 总线上挂接相应的接口模块, 与 FPGA 的外围单元共同实现系统功能。系统开机后即开始测量, 并在 LCD 显示器上实时显示测量结果。按下“暂停”键测量会暂停, 显示保持不变, 再按一次“暂停”键则继续测量。工作过程中按下“保存”键将保存当前数据, 长按“保存”键则进入等间隔采样设置界面。可通过数字键和方向键设置采样间隔、采样点数, 按“确定”键开始采样, 按“取消”键退出。按“读档”键将显示保存的单次测量结果, 再按“保存”键将删除选中记录, 可用方向键选择记录或翻页。长按“读档”键可选择保存的等间隔采样数据进行显示或删除。

3 系统硬件设计

系统硬件主要由 FPGA 片内的处理器、接口模块和片外的 LCD、FLASH、测量电路以及按键等部分组成。

在系统的硬件设计中, FPGA 内部各模块的设计是本系统硬件设计的核心技术。FPGA 内部各模块是利用

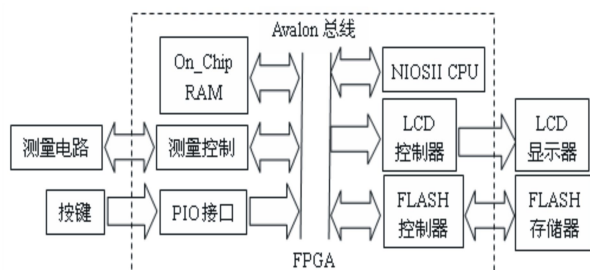


Figure 1. System hardware structure schematic
图 1. 系统硬件结构图

Altera 公司提供的 Quartus II 开发软件和其中集成的 SOPC Builder 系统开发工具来设计的。SOPC Builder 支持 NIOS II CPU 的配置, 并支持设计者在其提供的 IP 库中根据系统设计需要选择相应的接口模块, 并加入到 NIOS II 系统中。这样, 在极短的时间内就可以完成一个 SOPC 系统的设计^[3]。将这些设计在 Quartus II 中编译并生成 .sof 格式文件后, 下载到 FPGA 芯片中就形成了 SOPC 的嵌入式系统硬件平台。

下面主要对 NIOS II 软核处理器、LCD 控制器、测量电路和测量控制电路中的 MAX195 AD 采样芯片的驱动等几个关键模块的设计进行介绍。

3.1 Nios II 软核处理器

本设计所选择的处理器是 Altera 公司新近推出的第二代嵌入式 NIOS II 软核处理器。Nios II 处理器系列是一个用户可配置的通用 32 位 RISC 嵌入式软核处理器系列。它包括三种软核 CPU: 一种是高性能软核, 它的处理能力超过 200MIPS, 需要占用 1800 个逻辑单元; 一种是精简软核, 利用这种精简软核构架一个完整的 CPU 系统只占用 700 个逻辑单元; 第三种是标准软核, 这种软核约占用 1400 个逻辑单元, 性能也介于上两种软核之间。所有软核都是 100% 代码兼容, 设计者可根据系统需要选择 CPU 来调整嵌入式系统的性能及成本^[4]。由于本设计采用的 EP2C35 芯片具有 35000 个逻辑单元, 而 FPGA 内部除了 CPU 外其它部分占用逻辑资源较少, 因此我们选用了高性能的 Nios II 软核作为本系统的 CPU。

3.2 LCD 控制器

本设计采用的 LCD 显示器为 CAG12864, 它是一种图形点阵液晶显示器, 主要由行驱动器/列驱动器及 128×64 全点阵液晶显示器组成, 可完成图形显示, 也可以显示 8×4 个(16×16 点阵)汉字。其内部包含两块用于存储显示数据的 DDRAM, 三块用于将 DDRAM 中的数据显到 LCD 上的译码芯片。只要将数据按 LCD 的指令格式和时序写到 DDRAM 中的对应地址, 就可

以在 LCD 上显示想要的内容。

由于 NIOS II CPU 速度很快而 LCD 的操作时序较慢, 如果直接用 NIOS II 来驱动 LCD 将浪费大量的 CPU 时间, 而 SOPC Builder 自带的 IP 库中不包含 LCD 控制模块, 所以该模块需要专门设计。因此我们自行设计了针对 CAG12864 的 LCD 控制器, 并以 IP 核的形式通过 SOPC Builder 连接到系统的 Avalon 总线上。此 LCD 控制器占了一个 1K Byte 的 RAM 块(对应 LCD 的 128×64 个点), CPU 对 LCD 进行操作时只要按 Avalon 总线的读写时序将想要显示的内容写到此 RAM 块中即可。而 LCD 控制器会自动将 RAM 块中的内容转化成 LCD 的控制指令并按照 LCD 的时序要求发送出去, 从而使 LCD 上显示此 RAM 块的内容。

3.3 测量电路

测量电路除了相位测量电路和电压/电流测量电路外还包括一个正弦信号发生器用于校准。正弦信号发生器采用了双 DA 转换器, 第一级 D/A 的输出作为第二级 D/A 的参考电压, 以此来控制信号发生器的输出电压。正弦信号发生器的核心控制部件是采用 DDS(直接数字频率合成)技术在 FPGA 中实现的, 它具有精度高、稳定性好和波形平滑等特点。系统上电复位后先进行自动校准, 校准过程是由 CPU 控制信号发生器产生一个预定的信号, 然后读取测量值, 将测量值和预定值进行比较求出它们之间的比例关系并保存起来。测量时根据这个比例来算出测量结果。

相位差和频率测量电路由两个过零比较器组成, 它们将电压和电流两路信号分别由正弦波转换成方波, 再由 FPGA 内部设计的逻辑电路对它们进行运算并计时, 就可得到被测信号的频率和相位差。为了提高频率测量精度, 系统采用了高频测单位时间周期个数、低频测周期再转换为频率的方法。

电压和电流测量电路各由一个滤波电路、一组放大电路、一个真有效值转换电路和一个 A/D 转换电路组成。A/D 转换采用高速串行 16 位 A/D 转换芯片 MAX195, 并由 FPGA 中的驱动模块直接驱动。滤波电路采用最简单的无源 RC 低通滤波器。放大电路采用程序控制改变放大倍数, 用于进行自动量程调节。

3.4 MAX195 驱动模块

MAX195 是一种高精度、高速的 16 位串行 A/D 转换芯片。它具有高精度、高速度、低电源功耗(电流仅 10μA)等优点。内部校准电路对线性度与偏置误差校正, 无需外部调整便可达到全部额定的性能指标。该芯片电容性的 DAC 结构使之具有特有的 85kbps 跟踪/保持功能, 变换时间仅需 9.4μs^[5]。三态串行数据输出及引脚可

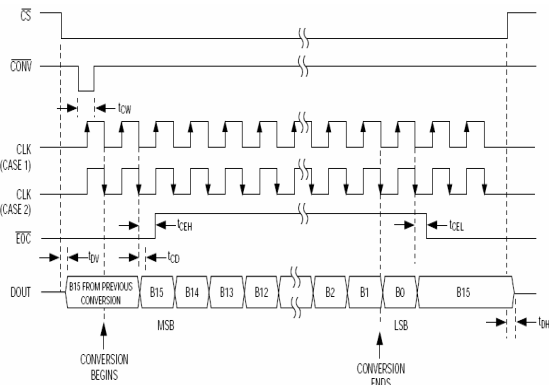


Figure 2. MAX195 timing of work

图 2. MAX195 工作时序

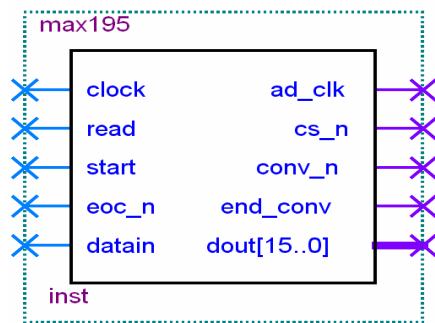


Figure 3. MAX195 driver module

图 3. MAX195 驱动模块

选的单极性(0~VREF)或双极性(-VREF~+VREF)的输入范围使之可广泛应用于便携式仪表、医用信号采集及多传感器测量等系统。

MAX195 有两种工作模式，一种是边转换边输出转换结果 (Output Data Format, Reading Data During Conversion)；另一种是转换完成再输出转换结果 (Output Data Format, Reading Data Between Conversions)。为了使 MAX195 达到最高速度，我们采用了边转换边输出转换结果的工作模式。此模式下工作时序如图 2 所示。

MAX195 驱动模块是用 VHDL 设计完成的，设计结果如图 3 所示。

图中 clock 为系统时钟，read 是为符合 Avalon 总线标准而设置的一个信号，start 信号是 CPU 发出的转换开始信号，eoc_n、datain、ad_clk、cs_n、conv_n 依次对应 MAX195 的 EOC、DOUT、CLK、CS、CONV 信号；end_conv 用于通知 CPU 转换完成，dout[15..0]为转换的 16 位结果。

逻辑分析仪采样得到的 MAX195 驱动模块工作时序如图 4 所示。

MAX195 驱动模块将 FPGA 的 50MHZ 时钟进行分频产生 MAX195 的 1.56MHZ 工作时钟，当来一个 start

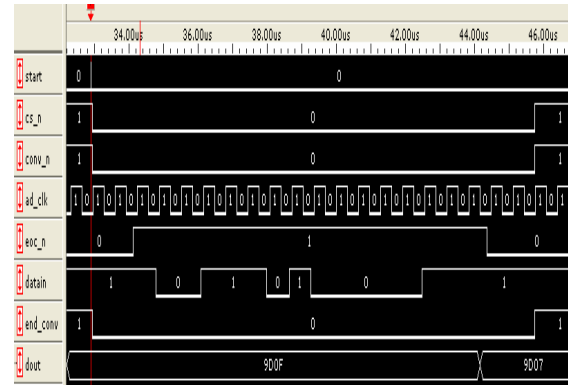


Figure 4. MAX195 driver module timing diagram

图 4. MAX195 驱动模块工作时序图

脉冲后，便发出 cs_n 和 conv_n 信号使 MAX195 开始转换。当检测到 eoc_n 变成高电平后在 ad_clk 的下降沿读取转换结果并进行串并转换，16 位数据全部读完后更新输出结果 dout。为简化设计，cs_n、conv_n 和 end_conv 是完全相同的。而且根据 MAX195 的官方资料，转换过程在 20 个时钟周期内绝对可以完成，因此我们把 cs_n、conv_n 和 end_conv 的长度固定为 20 个 ad_clk 周期。这样每次转换所花时间是固定的，我们可以方便地算出其最大采样率，即能承受的 start 信号最高频率，为编程提供了可靠依据。

在 MAX195 驱动模块中，与 CPU 有关的信号只有 start、read 和 dout，因此 CPU 只需给其发送开始转换命令并读取转换结果即可，大大简化了 NIOS II 的软件编程。而且由于控制简单，此 MAX195 驱动模块还可方便地用于无 CPU 的 FPGA 系统中。

4 系统软件设计

由于本设计在软硬件划分时将大量的工作交给硬件来，所以系统软件设计的工作量相对较少，主要是完成流程控制、数据运算处理和显示刷新等任务。

程序流程图如图 5 所示。

系统采用定时中断来进行键盘扫描，读键盘时用一个变量记录键被按下的时间，用来进行消抖和区分长/短按键。显示程序由一个 ASCII 码字库、一个汉字字库和一个显示子函数组成。显示子函数完成调用字库和写显示 RAM 的工作，需要反色显示的在写 RAM 之前先进行一次按位取反。调用时只要给出显示位置、是否反色显示和字符在字库中的编号即可完成显示。

流程图中的按键处理部分包括了暂停、保存、删除等操作。后期计算是利用测量出的数据通过计算得出结果并交给显示模块。由于测量的实际过程都是由硬件完成的，流程图中的“测量”实际上是从相应的寄存器读出结果，这些工作是在中断处理子程序中完成的。

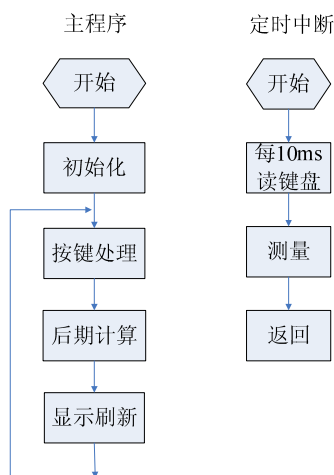


Figure 5. Program flow chart
图 5. 程序流程图

5 结束语

本设计在以 EP2C35 芯片为核心的 SOPC 开发板上进行了软、硬件调试, 功能全部正常。本系统采用了软件硬件化的设计思想, 将很多功能模块都做成了 IP 核的形式, 使 CPU 的工作量大大减轻, 而且很好地解决了 CPU 驱动高速串行器件 MAX195 的困难。由于 CPU 采用了 100M 高速时钟, 而且 FPGA 的逻辑单元占用也

不多, 因此本设计在系统功能扩展上具有很大的潜力。再加上 SOPC 技术在软、硬件设计上的可裁减和方便移植等优点, 本设计可以方便地进行功能扩展或作为一个子系统应用到更大的系统中, 有很好的应用前景和科研价值。

References (参考文献)

- [1] Pan son, Huang Jiye. SOPC Technology Practical Tutorial[M]. Tsinghua University Press, 2005.
潘松, 黄继业. SOPC 技术实用教程[M]. 清华大学出版社, 2005.
- [2] Zhang Xiaoping, Zhao Buhui. Altera Configuration of new FPGA devices[J]. Microprocessors, 2006,4: 93-95.
张小平, 赵不贻. Altera 新型 FPGA 器件的配置方式[J]. 微处理机, 2006,4: 93-95.
- [3] Fang zhuo, Pen Chenglian, Cheng Zewen. The SOPC design based on the NIOS[J]. Computer Engineering and Design, 2004, 4: 504-507.
方茁, 彭澄廉, 陈泽文. 基于 NIOS 的 SOPC 设计[J]. 计算机工程与设计, 2004, 4: 504-507.
- [4] Zhang Lianming, He Yinghui. Embedded System Design and Development[J]. Overseas Electronic Components, 2004, 1: 20-21.
张连明, 霍迎辉. 嵌入式系统的设计与开发[J]. 国外电子元器件, 2004, 1: 20-21.
- [5] Nie Yixion, Cheng Hanxiang. MAX195 apply in electronic transformer[J]. Electrical Measurement & Instrumentation, 2005, 7: 62-64.
聂一雄, 程汉湘. MAX195 在电子式互感器中的应用[J]. 电测与仪表, 2005, 7: 62-64.