

Digital Spectrum Analyzer Based on μ Clinux & FPGA/Nios-II

SONG Yue¹, LI Zhaoguo^{1,2}, YANG Lei¹, TAN Aiqun³, LEI Ruiting¹

1. College of Electronics Engineering, Dongguan University of Technology, Dongguan, China

2. College of Electronics & Information Engineering, South China University of Technology, Guangzhou, China

3. Library of Dongguan University of Technology, Dongguan, China

Abstract: In order to design a digital spectrum instrument based on μ Clinux&FPGA, the Altera-EP2C35F484C8N with 32 bits Nios-II soft core CPU was adopted, the μ Clinux operation system was installed, signal was acquired in 100MHz first of all, the Hanning window function and Cooley-Tukey Fast Fourier Transform were to fulfill spectral decomposition by software, the signal's frequency spectrum and phase spectrum characteristic curve were finally displayed on 640*480 TFT-LCD with discrete barrier graphic, experiments was effectual, experiments showed the method was effective, the hardware construction, software flow, FPGA/Nios-II configuration, spectrum display design on TFT were mainly introduced.

Keywords: spectrum analyzer; FPGA/SOPC; μ Clinux; Nios-II; digital display

基于 μ Clinux&FPGA/Nios-II 的数字频谱仪

宋 跃¹, 李兆国^{1,2}, 杨 雷¹, 谭爱群³, 雷瑞庭¹

1. 东莞理工学院电子工程学院, 东莞, 中国, 523808

2. 华南理工大学电子与信息学院, 广州, 中国, 510640

3. 东莞理工学院图书馆, 东莞, 523808

摘 要: 为设计基于 μ Clinux&FPGA 的数字频谱分析仪, 采用 Altera-EP2C35F484C8N, 嵌入 32 位 Nios-II 软核 CPU, 安装 μ Clinux 操作系统, 首先对信号进行 100MHz 高速采样, 通过软件汉宁窗加窗与库利-图基 FFT 运算, 实现信号的频谱分析, 然后将信号的频谱、相谱信息在 640*480 的 TFT 上以离散的栏栅式的图形显示。实验效果好, 表明该方法行之有效, 文中重点介绍频谱分析仪的系统设计、硬件构造、软件流程、FPGA/Nios-II 配置及 TFT 频谱显示设计。

关键词: 频谱分析仪; FPGA/SOPC; μ Clinux; Nios-II; 栏栅显示

1 引言

传统的台式分立频谱分析仪大部分采用滤波法进行频谱分析, 缺少相位信息且获得的测量结果要花费较长的时间, 新型的台式分立频谱分析仪大多采用数字方法直接由模拟/数字转换器(ADC)对输入信号取样, 再经 FFT 处理后获得频谱分布图, 并可获得相位信息, 但由于采用模拟显示器件, 所以显示仍与传统频谱分析仪一样以包络线形式来显示频谱信息与相位信息, 在数字 LCD 显示器件 TFT 较为完美的今天, 我们能很方便地能通过傅里叶运算得到被测信号的频谱信息, 同时离散的栏栅式频谱显示具有更直接的分析效果, 所以离散的栏栅式频谱分析仪在设计上还是应用上应该更符合科学与实用的原则, NI 虚拟仪器中频谱分析就是一种现代典型的离散的栏栅式的图形显示仪器, 本文介绍一种基于 μ Clinux&FPGA/Nios-II 的电子测量集成仪器中的数字频谱分析仪, 它能将信号的频谱、相谱信息在 LCD 上以离散的栏栅式的图形显示。

2 硬件平台

仪器硬件平台是为电子测量集成仪器设计的。如图 1 所示:

为了方便集成其他测量功能, 因此采用主控平台与各子功能模块相结合的主从分布式 FPGA 来实现控制, 主要组成如图 1 所示:

1) 主控平台: 采用 Altera 公司的 EP2C35F484C8N, 通过嵌入 NiosII 软核 CPU 以及各种功能外设和外设接口完成 SOPC 设计^[1,2]。由于 NiosII 是软核处理器, 可以在不改变外围硬件电路的情况下对系统进行功能扩充与升级维护, 提高系统性能, 延长系统的生命周期。主控平台的主要任务是建立 μ Clinux 的硬件平台, 完成显示数据的处理和向 FPGA 发送控制命令, 如输入量程选择、采样时钟等。

2) 时钟产生模块: NiosII 时钟频率为 50MHz, 内部通过 PLL 倍频后产生 100MHz 的基准信号, 各种采样时钟由它分频得到。

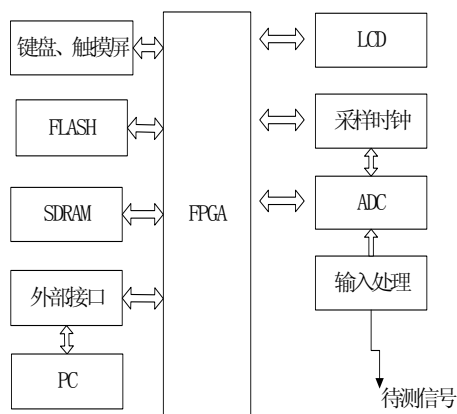


Figure 1. System hardware block diagram

图 1. 系统硬件结构框图

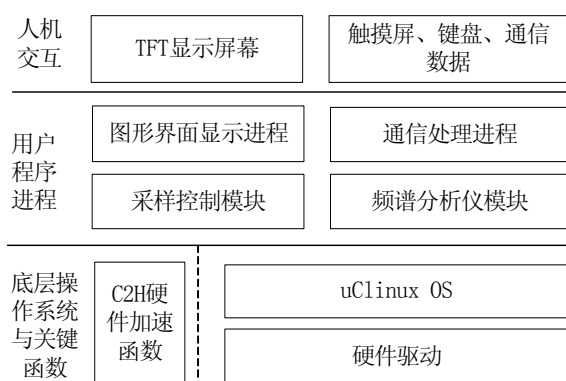


Figure 2. System software block diagram

图 2. 系统软件结构框图

3) 存储器模块: NOR Flash 存储器用的是 AMD 公司的 AM29LV320DB, 容量为 $4M \times 8\text{-bit}$ / $2M \times 16\text{-bit}$, 采用三星公司的 NAND Flash 存储器 K9F1208U0C-P 作为外部数据存储部件, 容量为 $64M \times 8\text{-bit}$, SDRAM 用的是三星公司的 K4S561632D, 提供 256Mbit($4M \times 16\text{bit} \times 4\text{banks}$)的程序运行空间及显示缓存区。

4) 输入处理电路: 完成输入 DC~100MHz, 幅度为 $\pm 100V_{pp}$ 的信号预处理。它主要由衰减器、输入耦合电路、可变增益放大器、仪用放大器、触发电路以及控制电路等构成, 能完成对输入信号的耦合方式、衰减放大、触发控制及阻抗变换等功能, 得到在 AD 测量范围的信号送 ADC 测量, 其触发电路用高速比较器 AD8561 实现, 参考电压由 FPGA 对输入信号采样获得。

5) 采样电路: 采用 ADI 公司的 A/D 转换器 AD9283, 两路 AD 转换, 每路为八位 A/D 转换通道, 采样时钟可调, 最大采样率 100MSPS。

6) 输入输出设备: USB 口采用 Philips 公司的

ISP1581 芯片, 网络接口使用 CS8900A 芯片, 使用 SOPC Builder 在 FPGA 内部实现串口功能, 经 max232 转换电平后与电脑连接, JTAG 口用于调试程序。触摸屏与液晶显示器结合实现用户人机界面的交互功能, 触摸屏驱动控制器采用 ADS7843, 显示器采用 3.5 寸的像素为 640×480 的 TFT, 采用键盘输入和触摸屏输入两种方式, 使操作更简单、直观。

3 系统软件结构

本设计中采取了 u-boot 作为操作系统引导程序, 并安装了 μClinux 操作系统。C 语言实现的软件功能在 NiosII IDE 平台下开发, 对关键的函数, 如数据处理等占用时间比较多的函数, 使用 C 语言至硬件加速 (C2H) 编译器编译, 将对时间要求较高的 ANSI C 函数转换为 FPGA 中的硬件加速器, 大大提升了软件性能。

μClinux 系统可以为测量仪器中的每一种功能创建单独的进程来完成各自的数据采集、数据处理和各种控制信息的处理, 同时创建图形界面显示进程和通信处理进程。整体软件结构如图 2 所示。

最低层为外围设备驱动层, 该层包括了嵌入式操作系统以及各种硬件设备驱动程序和各底层的通信协议, 如用户自定义的串口通信协议、以及标准的 USB2.0、TCP/IP 通信协议。

中间层为用户界面层与外围设备驱动层的连接层, 该层包括 LCD 图形界面显示和用户层通信协议, 考虑到所采用液晶屏的显示效果及用户图形界面设计的简洁, 自行编写了 LCD 的图形驱动包。在采样控制模块中, 采样电路待触发信号到来开始进行输入量程设置和采样时钟设置, 然后 NiosII 发送采集使能信号, 启动采集。采集到的数据由 FPGA 写入到 SRAM 中且计数, 在达到用户设定或系统默认的数据长度时停止采集并置采集满中断标志位。在中断程序中, FPGA 中存储器控制模块通过对三态门的控制将 FPGA 内部三总线改由 Nios-II 控制, 此时采样数据不能写入 SRAM, Nios-II 将采集到的数据经处理后, 根据用户设置来完成数据的波形显示, Nios-II 同时发送下次采集启动命令, 等待下次采集中断^[3]。

用户层通信协议负责处理各硬件层数据和用户数据包的功能解析。频谱分析仪进程根据用户设置的各种参数完成对数据的采集、处理, 从而得到各种测量参数和待显示的波形数据, 频谱分析仪完成每一次完整地处理过程后, 将处理后得到的数据以消息形式发往图形界面显示进程和通信处理进程。由图形界面显示进程完成对各种参数的显示和波形的显示, 通信处理进程根据用户设置, 将数据通过 USB、网络接口发

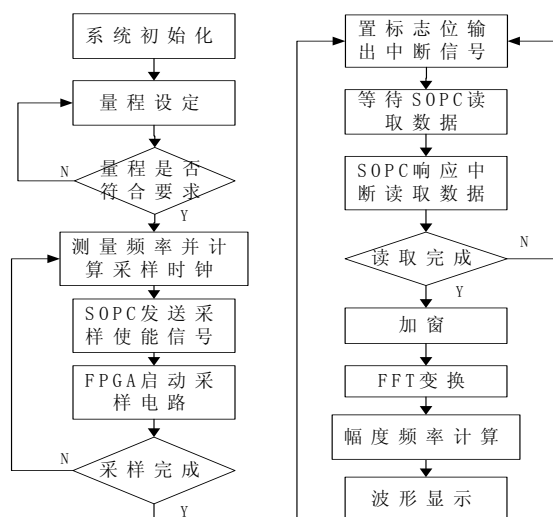


Figure 3. Spectrum analyzer working principle

图 3. 频谱分析仪工作原理

送给外部处理程序。通信处理进程同时还监测键盘、触摸屏、USB、网络接口的各种数据，处理后转换为相关的消息发送到频谱分析仪进程、图形界面显示进程，以完成参数的设置和图形界面的调整。

4 频谱分析功能的原理与实现

4.1 频谱分析仪设计原理

频谱分析仪的工作原理如图 3 所示。FPGA 控制 AD9283 进行 8 位 A/D 转换，转换后根据数据进行处理：数据向上溢出，则减小输入放大电路的放大倍数，调整直流偏置；数据向下溢出，则增大输入放大电路倍数，调整直流偏置。采样时钟可调，最高采样频率为 100MHz，如果量程符合要求，就对信号进行测频，以确定最佳的采样频率。数据采集完成后，置中断信号，等待 FPGA 读取数据。

由于计算机处理的数据都是离散的，所以取得的采样信号也是离散的，在这一离散过程中不可避免的要将采样点以外的数据舍弃，只取有限长个点 N ，而其他的点的值则都认为是零。这样在变换过程中就会产生泄漏问题，即某一点的频率成分泄漏到其他频率去。为了避免这一情况的发生，在读取数据后，还要对数据进行加窗处理。时域信号过来之后，就可以直接用汉宁窗进行窗函数加权^[4,5]，汉宁窗的时域表达式为：

$$\omega(n) = 0.5 - 0.5 \frac{n}{N-1}, n = 0, 1, \dots, N-1 \quad (1)$$

它可以有效的压低旁瓣，减少或避免在 FFT 变换过程中出现频谱泄露问题。

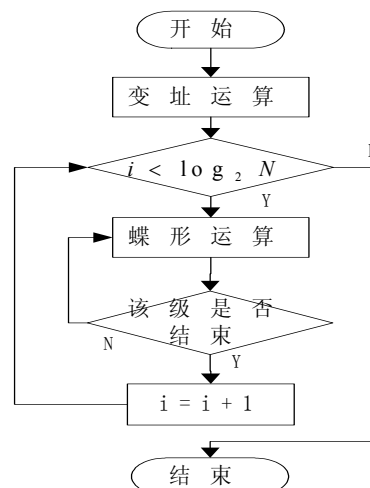


Figure 4. Flow chart of cooley-tukey algorithm

图 4. 基 2-FFT 算法流程图

采样数据经过加窗处理后，再进行 FFT 变换。有两种方案可以实现：一是用硬件实现；二是用软件实现。采用硬件设计 FFT 将大量占用系统硬件资源，而在本系统中的 FPGA 芯片容量有限。另外，由于采用硬件实现时，不同的硬件延时情况不同，控制不好可能造成不必要的错误，所以，在本系统中采用了软件实现的方法。

考虑到独立性，没有采取比较流行的分裂算法，而是采用了自己编写的按时间抽取基 2-FFT 算法（库利-图基算法），基 2-FFT 算法的流程图^[6,7]如图 4 所示。

采用软件设计的 FFT 单元占用硬件资源少，稳定性好，易于管理和修改，其可控性强，因此在本系统的设计中，采用了软件的方法来实现，但在实现的过程中应用了包括硬件加速在内的一系列优化算法，以提高运算速度。FFT 变换后的结果为复数，要先转换为幅度、相位与频率信息，以方便在液晶屏中显示。

4.2 频谱分析仪 FPGA/Nios-II 设计

FPGA 配置的结构框图如图 5 所示。

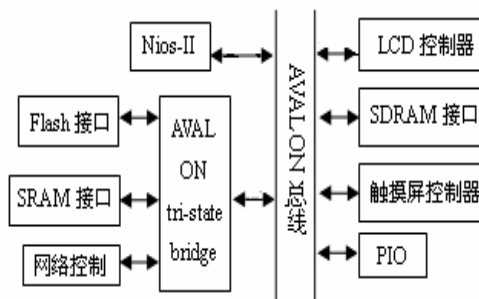


Figure 5. FPGA top-level block diagram

图 5. FPGA 顶层结构框图

Module Name	Description
cpu_0	Nios II Processor
tri_state_bridge_0	Avalon-MM Tristate Bridge
cfi_flash_0	Flash Memory (CFI)
jtag_uart_0	JTAG UART
sdram_0	SDRAM Controller
epcs_controller	EPSC Serial Flash Controller
sysid	System ID Peripheral
tri_state_bridge_1	Avalon-MM Tristate Bridge
sram_256x32bit	SRAM_256x32bit
pio_jed	PIO (Parallel I/O)
pll	PLL
sys_timer	Interval Timer
h_timer	Interval Timer
uart0	UART (RS-232 Serial Port)
ext_bus	Avalon-MM Tristate Bridge
ext_bus_a	Flash Memory (CFI)
cs8900	CS8900
ext_bus_fpga	ext_bus
irq	PIO (Parallel I/O)
controller	Touch Panel Controller
lcd_controller_classic_0	Avalon TFT LCD Controller

Figure 6. SOPC system architecture

图 6. SOPC 系统结构

本设计采用了 32 位 Nios-II 软核 CPU，SOPC 结构如图 6 所示。

针对本设计的需要，在软核的配置中，加入了 Flash 接口，SDRAM 接口，SRAM 接口，网卡芯片接口，LCD 控制器，SDRAM 控制器，触摸屏控制器，3 个 Avalon 三态总线桥，以及通用 IO 口等组件。Nios-II 处理器与 SDRAM 控制器、三态总线桥、JTAG 接口等用 Avalon 总线连接。Avalon 总线是 ALTERA 公司开发的片上总线，是一种简单的总线体系结构，由一个 Avalon 总线主时钟定时，所有总线传输的信号都与 Avalon 总线时钟同步。3 个三态总线桥分别用于连接 Flash 接口，SRAM 接口以及网络控制器接口。

4.3 LCD 控制器与频谱显示

液晶驱动时钟为 25M，显示刷新频率为 60Hz，LCD 控制器在 FPGA 内部实现。LCD 控制器的主要工作，是将定位在系统存储器中的显示缓冲区中的 LCD 图像数据传送到外部 LCD 驱动器。LCD 控制器的原理图如图 7 所示。

此 LCD 控制器支持 5 个图层：背景层、视频层、三个绘图层。LCD 控制器的背景层和视频层中每个像素占 16 bit，采用 RGB565 编码，能表现 65536 种颜色。LCD 控制器的三个绘图层中每个像素占 8 bit，作为调色板的索引。调色板的每个条目具有 24 bit，包括 RGB666 格式的 18 bit 颜色和 6 bit 的像素透明值。调色板存储的数据是固定的，在 Quartus2 项目的编译中，必须预先设定好调色板及其里面存储的数据。每个 8 bit 图层都拥有各自的调色板，但在目前的设计中，每个调色板都是用相同的内容初始化。在每个显示帧的结束，LCD 控制器会发出一个中断信号。中断

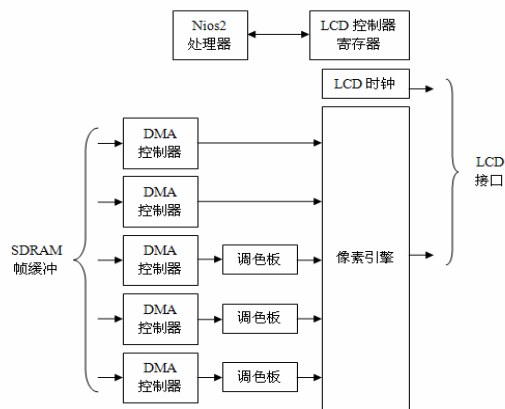


Figure 7. LCD controller

图 7. LCD 控制器

信号可以让 LCD 控制器在空闲周期更新画面以及寄存器内容，确保显示不会出现闪烁。

LCD 要求的时序由帧同步 (VSYNC)、行同步 (HSYNC)、比特时钟 (DCLK) 及数据构成，帧同步和行同步指示每一帧和每一行的开始。CLK25M 是 FPGA 为 LCD 控制器提供的 25M 时钟信号。TFT_B[7..0]、TFT_G[7..0]、TFT_R[7..0] 分别是液晶屏蓝、绿、红三种颜色的数据线。在该设计中 TFT 液晶实际图形数据为 16 位，每个像素由 5bit 红、6bit 绿、5bit 蓝构成，采用高位对齐。

界面显示主要应用贴图的方法（这样会占用一些存储空间，但这样设计出来的界面比在编程程序快捷和漂亮）。先在计算机上把要设计的界面通过软件画出来，通过扫描软件 image2lcd 把图片转化为以 1 个字节为单位的数据文件，转为一个字节是由于 LCD 控制器支持 8 位伪彩色。弹出窗口设计技巧是先定义一个全局的变量数组，本系统软件设计中采用 unsigned int save_pic[20000] 这个变量数组，首先把要覆盖的区域数据保存下来，在把要弹出的窗口显示在上面，等到跳出窗口后回复原来的区域显示。GUI 函数提供了几个画常用图形的子函数以供顶层函数调用。计算出采样数据的幅度、相位和频率后，就能调用画线函数把频谱图显示出来。在频谱曲线的显示函数中，定义了两个全局变量 Freq_mid 与 Span 用于对显示区域进行拉伸与移动。

```
width=(Fx[i]-(f_mid-0.5*span))*(USER_WIDTH/s
pan)+X_START;
```

```
height=Y_START+USER_HIGH-Ax[i]*(1/a_max*
USER_HIGH);
```

```
vga_draw_line
(width,height,width,Y_START+USER_HIGH,1,GREEN
,frameBuffer);
```

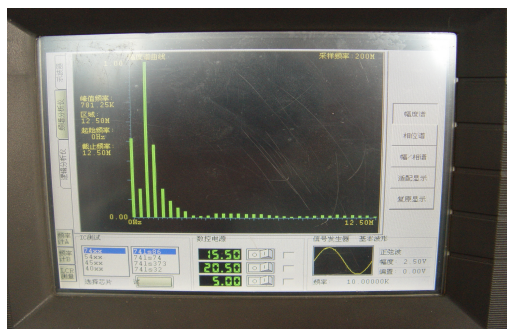



Figure 8. Photography of working instrument
图 8. 仪器工作照相

Freq_mid 用于记录频谱曲线在液晶屏中显示部分的中心点频率,而 Span 用于记录频谱曲线在液晶屏中显示部分的频谱范围,这样在液晶屏中显示的部分就落在了(Freq_mid - 0.5*Span, Freq_mid+0.5*Span)的范围内,通过改变这两个参数就能实现频谱曲线的移动与拉伸。

5 实验结果与讨论

仪器工作中的幅度谱在 TFT 上的显示照相如图 8 所示:

该仪器以 FPGA 作为硬件平台,采用了 NiosII 软核 CPU。FPGA 配置的灵活性,再加上 μ Clinux 的多任务管理,大大降低了维护与升级的难度,移植性强。在人机交互方面,采用了 640*480 的 TFT 液晶屏,显

示尺寸大,文字清晰,图形质量好;除了按键和旋钮之外,还配备了触摸屏,采用了弹出式菜单,操作直观明了,易于掌握,并成功地嵌入到基于 linux/FPGA 的“电子测量集成仪器”中(主要集成有示波器、频谱仪、逻辑分析仪、信号发生器、扫频仪、频率计、数字 IC 测试仪等 9 个仪器),如何进一步提高测量范围和速度,以满足要求更高的场合是我们下步的工作重点。

仪器工作效果好,仪器显示与 MATLAB7.0 软件仿真结果完全一致。

References (参考文献)

- [1] LI L Y. Nios-II Embedded Soft-core SOPC Design Theory and Application[M]. Beihang University Press, 2006. 19-201(in Chinese).
李兰英. Nios-II 嵌入式软核 SOPC 设计原理及应用[M]. 北京航空航天大学出版社, 2006. 19-201.
- [2] CAI W G. NiosII Software Frame Analysis[M]. Xian Electronics Science and Technology University Press, 2007. 78-122(in Chinese).
蔡伟刚. NiosII 软件架构解析[M]. 西安电子科技大学出版社, 2007. 78-122.
- [3] SONG Y, HU S P, ZHOU M H, LEI R T. Design of Portable Storage Oscilloscope Data Collection[J]. Electrical Application, 2006.2(3): 110-112(in Chinese).
宋跃, 胡升平, 周明辉, 雷瑞庭. 手持式存储示波器中的数据采集设计[J]. 电气应用, 2006.25(3): 110-112.
- [4] LI H S, CHEN D. Research of Windows Function in Spectrum Analyzer[J]. Micro-computer information, 2008.24(10): 272-27 (in Chinese).
李航生, 陈丹. 频谱分析中窗函数的研究[J]. 微计算机信息, 2008.24(10): 272-273.